

p.3

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-259555

(P2000-259555A)

(43) 公開日 平成12年9月22日 (2000.9.22)

(51) Int.Cl. ⁷	識別記号	F I	キーワード (参考)
G 0 6 F 13/362	5 1 0	G 0 6 F 13/362	5 1 0 B 5 B 0 6 1
13/36	3 1 0	13/36	3 1 0 C

審査請求 未請求 請求項の数4 O L (全 11 頁)

(21) 出願番号 特願平11-60319

(22) 出願日 平成11年3月8日 (1999.3.8)

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72) 発明者 房山 順一

神奈川県海老名市本郷2274番地 富士ゼロ

ックス株式会社内

(74) 代理人 100088155

弁理士 長谷川 芳樹 (外1名)

Fターム (参考) 5B06I BA01 BB01 BB43 FF01 GG01

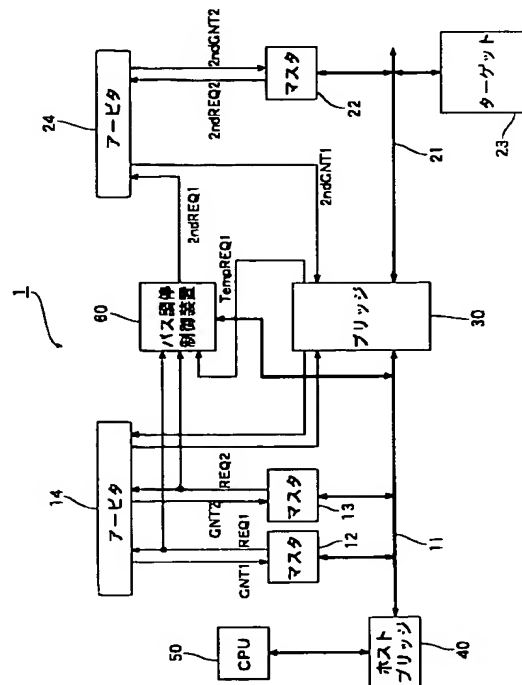
RR03

(54) 【発明の名称】 バスアービトレーション制御装置およびバスシステム

(57) 【要約】

【課題】 アービトレーション・レイテンシを低減することができるバスアービトレーション制御装置およびバスシステムを提供する

【解決手段】 バスシステム1では、PCIバス11とPCIバス21とがブリッジ30を介して接続されている。PCIバス11にはマスタデバイス12およびマスタデバイス13が接続されている。PCIバス21にはマスタデバイス22およびターゲットデバイス23が接続されている。アービタ14はPCIバス11のアービトレーションを行う。アービタ24はPCIバス21のアービトレーションを行う。マスタデバイス12によりREQ1信号がアサートされると、略同時に、バスアービトレーション制御装置60により2ndREQ1信号もアサートされる。



(2)

特開 2000-259555

2

【特許請求の範囲】

【請求項 1】 ブリッジを介して互いに接続された第 1 のバスおよび第 2 のバスのうち前記第 1 のバスに接続されたマスタデバイスと前記第 2 のバスに接続されたターゲットデバイスとの間のトランザクションの際にバスアービトレーションを行うバスアービトレーション制御装置であって、

前記マスタデバイスから出力されたバス使用権要求信号を入力する入力手段と、

前記トランザクションが前記第 1 のバスおよび前記第 2 のバスの双方を使用するものであるときに、前記入力手段により入力された前記バス使用権要求信号を、前記第 2 のバスのアービトレーションを行うアービタへ送出する出力手段と、

を備えることを特徴とするバスアービトレーション制御装置。

【請求項 2】 前記トランザクションの際のデータ転送予定量を入力し記憶する記憶手段と、

前記トランザクションの実行中に前記マスタデバイスと前記ターゲットデバイスとの間のデータ転送量を計数する計数手段と、

前記計数手段により計数されたデータ転送量が前記記憶手段により記憶されたデータ転送予定量と一致したときに、前記第 1 のバスおよび前記第 2 のバスそれぞれを通常のアービトレーションに復帰させる復帰手段と、

を更に備えることを特徴とする請求項 1 記載のバスアービトレーション制御装置。

【請求項 3】 ブリッジを介して互いに接続された第 1 のバスおよび第 2 のバスを有するバスシステムであって、

前記第 1 のバスに接続されたマスタデバイスと、

前記第 2 のバスに接続されたターゲットデバイスと、

前記マスタデバイスから出力されたバス使用権要求信号を入力して前記第 1 のバスのアービトレーションを行う第 1 のアービタと、

前記第 2 のバスのアービトレーションを行う第 2 のアービタと、

前記マスタデバイスと前記ターゲットデバイスとの間のトランザクションが前記第 1 のバスおよび前記第 2 のバスの双方を使用するものであるときに、前記マスタデバイスから出力された前記バス使用権要求信号を前記第 2 のアービタに送出する請求項 1 記載のバスアービトレーション制御装置と、

を備えることを特徴とするバスシステム。

【請求項 4】 前記マスタデバイスおよび前記ターゲットデバイスの双方または何れか一方は、

データを記憶する記憶部と、

前記記憶部との間でデータを送受するとともに、前記第 1 のバスおよび前記第 2 のバスのうち接続されているバスとの間でもデータを送受するバッファ部と、

を有していることを特徴とする請求項 3 記載のバスシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ブリッジを介して互いに接続された第 1 のバスおよび第 2 のバスのうち第 1 のバスに接続されたマスタデバイスと第 2 のバスに接続されたターゲットデバイスとの間のトランザクションの際にバスアービトレーションを行うバスアービトレーション制御装置、および、このバスアービトレーション制御装置を含むバスシステムに関するものである。

【0002】

【従来の技術】CPU や周辺装置の相互間の通信を可能とするバスシステムとして、PCI (Peripheral Component Interconnect) バスが知られている。この PCI バスの規格は、PCI Local Bus Specification Revision 2.1 に詳細に規定されている。この PCI バスシステムの下では、PCI バスを使用してターゲットデバイスとの間でデータ転送 (トランザクション) を行おうとするマスタデバイスは、まず PCI バスの使用の調停 (アービトレーション) を行うアービタに対してバス使用権要求信号を送出し、このアービタよりバス使用許可を得て、その許可を得た後にターゲットとの間でトランザクションを行うことができる。1 つの PCI バスに接続することができるデバイスの個数には制限がある。しかし、ブリッジを介して複数の PCI バスを接続することにより、接続されるデバイスの個数を実質的に増加させることができる。

【0003】図 5 は、ブリッジを介して接続された 2 つの PCI バスを含むバスシステムの 1 構成例を示す図である。この図に示されたバスシステムでは、PCI バス 11 と PCI バス 21 とがブリッジ 30 を介して接続されている。一方の PCI バス 11 にはマスタデバイス 12 およびマスタデバイス 13 が接続されている。他方の PCI バス 21 にはマスタデバイス 22 およびターゲットデバイス 23 が接続されている。また、このバスシステムは、PCI バス 11 のアービトレーションを行うアービタ 14 と、PCI バス 21 のアービトレーションを行うアービタ 24 とを有している。このように、PCI バス毎にアービタが設けられるのが通常である。さらに、ホストブリッジ 40 を介して CPU 50 が PCI バス 11 に接続されている。

【0004】この図 5 に示されるバスシステムにおいて、マスタデバイス 12 がターゲットデバイス 23 との間でトランザクションを行う場合を想定する。マスタデバイス 12 は、まず、自己が接続されている PCI バス 11 の使用権を獲得する為に、バス使用権要求信号 REQ1 をアサートする (アクティブにする)。PCI バス 11 側のアービタ 14 は、このマスタデバイス 12 から出力されたバス使用権要求信号 REQ1 を入力する。ア

3

ービタ14は、マスタデバイス12からのみバス使用権要求信号がアサートされている場合には、このマスタデバイス12にPCIバス11の使用を許可するが、複数のマスタデバイスよりバス使用権要求信号がアサートされている場合には、優先順位に従ってアービトレーションを行い、何れかのマスタデバイスにPCIバス11の使用を許可する。アービタ14は、マスタデバイス12にPCIバス11の使用を許可する際には、バス使用許可信号GNT1をアサートして、許可する旨をマスタデバイス12に通知する。

【0005】PCIバス11の使用権を獲得したマスタデバイス12は、PCIバス11がアイドル状態であることを確認することができ次第、PCIバス11を使用する旨を示すFRAME信号をアサートし、トランザクションを行う相手方のターゲットデバイス23のアドレス情報をPCIバス11に送出する。このPCIバス11に接続されている全てのデバイスは、マスタデバイス12から送出されたアドレス情報と、自己が内部に記憶しているコンフィギュレーションレジスタ値とを比較し、自己がターゲットデバイスとしてアクセスされているのか否かを判断する。今の場合、送信元のPCIバス11上でのターゲットデバイスはブリッジ30であるので、このアドレス情報を入力したブリッジ30は、送信元のPCIバス11の側のアクセスであることを認識し、送信先のPCIバス21の使用権を獲得する為に、バス使用権要求信号2ndREQ1をアサートする。

【0006】PCIバス21側のアービタ24は、このブリッジ30から出力されたバス使用権要求信号2ndREQ1を入力する。アービタ24は、ブリッジ30からのみバス使用権要求信号がアサートされている場合には、このブリッジ30にPCIバス21の使用を許可するが、複数のデバイスよりバス使用権要求信号がアサートされている場合には、優先順位に従ってアービトレーションを行い、何れかのデバイスにPCIバス21の使用を許可する。アービタ24は、ブリッジ30にPCIバス21の使用を許可する際には、バス使用許可信号2ndGNT1をアサートして、許可する旨をブリッジ30に通知する。PCIバス21の使用権を獲得したブリッジ30は、PCIバス21がアイドル状態であることを確認することができ次第、PCIバス21を使用する旨を示すFRAME信号をアサートする。

【0007】このようにして、マスタデバイス12は、PCIバス11およびPCIバス21の双方の使用の許可を得て、ターゲットデバイス23との間でトランザクションを行う。しかし、通常、ブリッジ30は、posted write buffer と呼ばれるバッファ部を有している。したがって、マスタデバイス12は、送信先のPCIバス21の使用許可が得られていなくても、送信元のPCIバス11の使用許可が得られていれば、PCIバス11を介してブリッジ30内のバッファ部にデータを転送す

(3)

特開2000-259555

4

ることができる。マスタデバイス12とターゲットデバイス23との間のデータ転送量がブリッジ30内のバッファ部の容量より多い場合であっても、このバッファ部がフル状態となる前に運良く送信先のPCIバス21の使用許可が得られれば、マスタデバイス12とターゲットデバイス23との間でトランザクションを行うことができる。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来のバスシステムは以下のような問題点を有している、すなわち、以上のような一連の動作において、転送元のPCIバス11に接続されているマスタデバイス12がバス使用権要求信号REQ1をアサートしてから、ブリッジ30が転送先のPCIバス21に対してFRAME信号をアサートするまでに要する時間は、マスタデバイス12がバス使用権要求信号REQ1をアサートしてからFRAME信号をアサートするまでの時間T1、ブリッジ30の内部での遅延時間T2、および、ブリッジ30がバス使用権要求信号2ndREQ1をアサートしてからFRAME信号をアサートするまでの時間T3、の3つの時間を足し合わせた時間(T1+T2+T3)に略等しい。時間T1およびT3それぞれは、バス使用権要求からバス使用許可までに要する待ち時間であるアービトレーション・レイテンシが大部分を占めている。すなわち、上記従来の構成のバスシステムでは、2回分のアービトレーション・レイテンシが発生する。

【0009】また、ブリッジ30内のバッファ部がフル状態となる前に送信先のPCIバス21の使用許可が得られなかった場合には、ブリッジ30は、転送元のPCIバス11に対して、自己がターゲットデバイスとしてデータ転送が可能な状態であることを示すTRDY信号をディアサートして（インアクティブにして）、データ転送が不可能であることを表示する。ブリッジ30は、このようにしてウェイトステートを挿入することにより、マスタデバイス12からのデータ転送を一時的に停止させるか、或いは、ターゲット・ディスクコネクトすることにより、マスタデバイス12が開始したトランザクションを終了させる。ターゲット・ディスクコネクトされた場合、マスタデバイス12は、PCIバス11を一旦解放して、残りのデータを転送する為には再度バス使用権を獲得した後にトランザクションを開始しなければならない。この再度のバス使用権の獲得の際に、アービタ14よりGNT1信号がアサートされていなければ、GNT1信号がアサートされるまで待たなければならないので、ここでもアービトレーション・レイテンシが発生する。

【0010】さらに、例えば、図6に示すように、マスタデバイス12がハードディスクドライブ装置(HDD)やテープドライブ装置等の記憶装置を含むものである場合には、一般的には、マスタデバイス12はFIF

(4)

特開 2000-259555

5

6

O (First-In First-Out) バッファ部を有している。そして、図 7 に示すように、マスタデバイス 12 は、SCSI (Small Computer System Interface) バスを介して記憶装置からデータを読み出して FIFO バッファ部に蓄積しデータ転送の準備をし、その準備ができた後に PCI バス 11 を介してデータ転送する。このような場合、マスタデバイス 12 が PCI バス 11 を介してデータ転送するのに要する時間よりも、マスタデバイス 12 がデータ転送の準備をするのに要する時間の方が長い。例えば、PCI バスクロックが 33 MHz であるとき PCI バスによるデータ転送速度は約 133 Mバイト/s であるのに対して、SCSI バスによるデータ読出速度が約 10 Mバイト/s である。したがって、転送すべきデータ量が多い場合には、マスタデバイス 12 がデータ転送の準備をしている間は、マスタデバイス 12 は PCI バス 11 を解放するのが普通である。そして、マスタデバイス 12 は、データ転送の準備ができると、REQ 1 信号をアサートしてバス使用権を要求し、アービタ 14 により GNT1 信号がアサートされるまで待つ必要がある。すなわち、転送すべきデータ量が多いほど、多くの回数のアービトレーション・レイテンシが発生する。

【0011】なお、特開平 6-89257 号公報には、転送元バスのアービタおよび転送先バスのアービタの双方に同時にバス使用権要求信号をアサートする技術が開示されている。しかし、この公報に開示された技術は、バスのアドレスラインを使用してバス使用権要求信号をアービタに伝送するものであるため、これを PCI バスに適用したとしてもアービトレーション・レイテンシの低減を図ることはできない。

【0012】本発明は、上記問題点を解消する為になされたものであり、ブリッジを介して互いに接続された第 1 のバスおよび第 2 のバスのうち第 1 のバスに接続されたマスタデバイスと第 2 のバスに接続されたターゲットデバイスとの間のトランザクションの際にバスアービトレーションを行うバスアービトレーション制御装置であってアービトレーション・レイテンシを低減することができるバスアービトレーション制御装置、および、このバスアービトレーション制御装置を含むバスシステムを提供することを目的とする。

【0013】

【課題を解決するための手段】本発明に係るバスアービトレーション制御装置は、ブリッジを介して互いに接続された第 1 のバスおよび第 2 のバスのうち第 1 のバスに接続されたマスタデバイスと第 2 のバスに接続されたターゲットデバイスとの間のトランザクションの際にバスアービトレーションを行うバスアービトレーション制御装置であって、(1) マスタデバイスから出力されたバス使用権要求信号を入力する入力手段と、(2) トランザクションが第 1 のバスおよび第 2 のバスの双方を使用するものであるときに、入力手段により入力されたバス使用

権要求信号を、第 2 のバスのアービトレーションを行うアービタへ送出する出力手段と、を備えることを特徴とする。

【0014】このバスアービトレーション制御装置によれば、マスタデバイスとターゲットデバイスとの間のトランザクションが第 1 のバスおよび第 2 のバスの双方を使用するものであるときには、マスタデバイスから出力され入力手段により入力されたバス使用権要求信号は、第 2 のバスのアービトレーションを行うアービタへ出力手段により送出される。また、マスタデバイスから出力されたバス使用権要求信号は、第 1 のバスのアービトレーションを行うアービタへも送られる。すなわち、第 1 のバスおよび第 2 のバスそれぞれの側のアービタに対して略同時にバス使用権要求信号が送られる。したがって、実質的に 1 回分のアービトレーション・レイテンシを経た後にマスタデバイスとターゲットデバイスとの間のトランザクションが開始されるので、また、ターゲット・ディスクネクトされることなくトランザクションが開始される確率が高くなるので、第 2 のバスにてトランザクションが開始されるまでに要する時間が短縮される。

【0015】また、本発明に係るバスアービトレーション制御装置は、(1) トランザクションの際のデータ転送予定量を入力し記憶する記憶手段と、(2) トランザクションの実行中にマスタデバイスとターゲットデバイスとの間のデータ転送量を計数する計数手段と、(3) 計数手段により計数されたデータ転送量が記憶手段により記憶されたデータ転送予定量と一致したときに、第 1 のバスおよび第 2 のバスそれぞれを通常のアービトレーションに復帰させる復帰手段と、を更に備えることを特徴とする。この場合には、トランザクションの際のデータ転送予定量が記憶手段により記憶され、トランザクションの実行中にマスタデバイスとターゲットデバイスとの間のデータ転送量が計数手段により計数される。そして、計数手段により計数されたデータ転送量が記憶手段により記憶されたデータ転送予定量と一致すると、第 1 のバスおよび第 2 のバスそれぞれは通常のアービトレーションに復帰する。

【0016】本発明に係るバスシステムは、ブリッジを介して互いに接続された第 1 のバスおよび第 2 のバスを有するバスシステムであって、(1) 第 1 のバスに接続されたマスタデバイスと、(2) 第 2 のバスに接続されたターゲットデバイスと、(3) マスタデバイスから出力されたバス使用権要求信号を入力して第 1 のバスのアービトレーションを行う第 1 のアービタと、(4) 第 2 のバスのアービトレーションを行う第 2 のアービタと、(5) マスタデバイスとターゲットデバイスとの間のトランザクションが第 1 のバスおよび第 2 のバスの双方を使用するものであるときに、マスタデバイスから出力されたバス使用権要求信号を第 2 のアービタに送出する上記のバスア

(5)

特開2000-259555

8

ービトレーション制御装置と、を備えることを特徴とする。

【0017】このバスシステムによれば、第1のバスに接続されたマスタデバイスは、第2のバスに接続されたターゲットデバイスとの間でトランザクションを行おうとするとき、バス使用権要求信号を出力する。そのバス使用権要求信号は、第1のバスのアービトレーションを行う第1のアービタに送られるとともに、バスアービトレーション制御装置を介して、第2のバスのアービトレーションを行う第2のアービタにも送られる。すなわち、第1のアービタおよび第2のアービタそれぞれに対して略同時にバス使用権要求信号が送られる。したがって、実質的に1回分のアービトレーション・レイテンシを経た後に第2のバスにてデータ転送が開始されるので、第2のバスにてデータ転送が開始されるまでの時間が従来技術と比較して短縮される。また、ターゲット・ディスクネクトされる確率が低くなるので、アービトレーションの回数が低減される。

【0018】また、本発明に係るバスシステムにおいて、マスタデバイスおよびターゲットデバイスの双方または何れか一方は、(1) データを記憶する記憶部と、(2) 記憶部との間でデータを送受するとともに、第1のバスおよび第2のバスのうち接続されているバスとの間でもデータを送受するバッファ部と、を有していることを特徴とする。このようなデバイスの場合、通常、記憶部によるデータの書込および読出の速度は、バッファ部によるデータの書込および読出の速度と比べて遅いことから、記憶部とバッファ部との間でデータを送受している間はバスが解放され、バッファ部とバスとの間でデータを送受する際にはバス使用権を獲得する。トランザクションの際に転送すべきデータが大量である場合、このようなバス使用権の獲得と解放とからなる動作が多数回繰り返行われる。しかし、このような場合であっても、本発明では、アービトレーション・レイテンシの発生は最小限に抑えられる。

【0019】

【発明の実施の形態】以下、添付図面を参照して本発明の実施の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

【0020】図1は、本実施形態に係るバスシステム1の概略構成を示す図である。本実施形態に係るバスシステム1では、PCIバス11とPCIバス21とがブリッジ30を介して接続されている。一方のPCIバス11にはマスタデバイス12およびマスタデバイス13が接続されている。他方のPCIバス21にはマスタデバイス22およびターゲットデバイス23が接続されている。また、バスシステム1は、PCIバス11のアービトレーションを行うアービタ14と、PCIバス21のアービトレーションを行うアービタ24とを有してい

る。ホストブリッジ40を介してCPU50がPCIバス11に接続されている。さらに、バスシステム1は、本実施形態に係るバスアービトレーション制御装置60をも有している。

【0021】PCIバス11に接続されているマスタデバイス12は、PCIバス11を使用してトランザクションを行おうとするときに、バス使用権要求信号REQ1をアサートして、アービタ14に対してPCIバス11の使用権を要求する。そして、マスタデバイス12は、アービタ14によりGNT1信号がアサートされると、PCIバス11がアイドル状態であることを確認することができ次第、PCIバス11を使用する旨を示すFRAME信号をアサートし、トランザクションを行う相手方のデバイスのアドレス情報をPCIバス11に送出する。マスタデバイス13もアービタ14との間で同様の手続きを行う。また、PCIバス21に接続されているマスタデバイス22もアービタ24との間で同様の手続きを行う。ターゲットデバイス23は、マスタデバイスが開始したトランザクションに対して応答するデバイスのことである。

【0022】アービタ14は、マスタデバイス12、13によりアサートされたREQ1、REQ2信号に基づいて、優先順位に従ってアービトレーションを行い、何れかのマスタデバイスにPCIバス11の使用を許可する。そして、アービタ14は、何れかのマスタデバイスにPCIバス11の使用を許可する際には、そのマスタデバイスに対してGNT信号をアサートして、そのマスタデバイスに許可する旨を通知する。アービタ24も同様である。

【0023】ホストブリッジ40は、CPU50とPCIバス11とを接続するものである。ブリッジ30は、PCIバス11とPCIバス21とを接続するものである。

【0024】図2は、本実施形態に係るバスアービトレーション制御装置60の概略構成を示す図である。このバスアービトレーション制御装置60は、カウンタ制御部61、カウント値レジスタ62、REQイネーブルレジスタ63、カウンタ64およびゲート回路65～69を備えている。

【0025】カウンタ制御部61、カウント値レジスタ62およびREQイネーブルレジスタ63それぞれは、PCIバス11からアクセスできるように接続されている。カウンタ制御部61は、PCIバス11を介して入力された制御情報に基づいて、カウンタ63の計数動作を制御する。カウント値レジスタ62は、PCIバス11を介して入力されたデータ転送量を記憶する。REQイネーブルレジスタ63は、PCIバス11に接続され得るマスタデバイスの個数と等しいビット数の記憶容量を有し、各ビットが何れかのマスタデバイスに対応している。REQイネーブルレジスタ63は、PCIバス1

(6)

特開 2000-259555

9

10

1 を介して入力されたマスタ情報に基づいて、そのマスタ情報が示すマスタデバイスに対応するビットをアサート状態 "0" にセットする。カウンタ 64 は、カウント値レジスタ 62 に記憶されたデータ転送量を初期値として、カウンタ制御部 61 により制御されてカウントダウンする。なお、カウンタ値レジスタ 62 および REQ イネーブルレジスタ 63 は一体のものであってもよい。

【0026】ゲート回路 65 は、マスタデバイス 12 から出力される REQ1 信号と、REQ イネーブルレジスタ 63 のうちマスタデバイス 12 に対応するビットの出力信号とを入力して、両者の負論理の論理積を演算して出力するゲート回路である。ゲート回路 66 は、マスタデバイス 13 から出力される REQ2 信号と、REQ イネーブルレジスタ 63 のうちマスタデバイス 13 に対応するビットの出力信号とを入力して、両者の負論理の論理積を演算して出力するゲート回路である。ゲート回路 67 も同様である。ゲート回路 68 は、ゲート回路 65 ~ 67 それぞれの出力信号を入力し、これらの正論理の論理積を演算して出力するゲート回路である。ゲート回路 69 は、ゲート回路 68 からの出力信号と、ブリッジ 30 から出力された Temp REQ1 信号とを入力し、これらの負論理の論理和を演算して、その演算結果を 2nd REQ1 信号として出力するゲート回路である。なお、ブリッジ 30 から出力される Temp REQ1 信号は、PCI バス 11 に接続されている何れかのマスタデバイスが PCI バス 12 上のデバイスをターゲットとするアドレス情報を送出した際に、そのアドレス情報を入力したブリッジ 30 が PCI バス 21 の使用権を要求する旨を示す信号である。

【0027】次に、本実施形態に係るバスシステム 1 およびバスアービトレーション制御装置 60 の動作について説明する。マスタデバイス 12 がターゲットデバイス 23 との間でトランザクションを行う場合を想定する。

【0028】CPU 50 は、マスタデバイス 12 に対して DMA (Direct Memory Access) の起動をかけるのに先だって、ホストブリッジ 40 および PCI バス 11 を介してバスアービトレーション制御装置 60 に、トランザクションの際に転送されるデータの量、および、トランザクションの際にマスタデバイス 12 がマスタとなる旨を示すマスタ情報を送る。バスアービトレーション制御装置 60 は、PCI バス 11 を介して入力されたデータ転送量をカウンタ値レジスタ 62 に記憶させ、カウンタ 64 の計数値をそのデータ転送量の値に初期化する。また、バスアービトレーション制御装置 60 は、PCI バス 11 を介して入力されたマスタ情報に基づいて、そのマスタ情報が示すマスタデバイス 12 に対応する REQ イネーブルレジスタ 63 のビットをアサート状態 "0" にセットする。その後、CPU 50 は、ホストブリッジ 40 および PCI バス 11 を介して、マスタデバイス 12 に対して DMA の起動をかける。

【0029】マスタデバイス 12 は、トランザクション開始に先だって、PCI バス 11 および PCI バス 12 の使用権を獲得する為に、バス使用権要求信号 REQ1 をアサートする。このバス使用権要求信号 REQ1 は、PCI バス 11 側のアービタ 14 に入力されるとともに、バスアービトレーション制御装置 60 にも入力される。

【0030】アービタ 14 は、このマスタデバイス 12 から出力されたバス使用権要求信号 REQ1 を入力する。アービタ 14 は、マスタデバイス 12 からのみバス使用権要求信号がアサートされている場合には、このマスタデバイス 12 に PCI バス 11 の使用を許可するが、複数のマスタデバイスよりバス使用権要求信号がアサートされている場合には、優先順位に従ってアービトレーションを行い、何れかのマスタデバイスに PCI バス 11 の使用を許可する。アービタ 14 は、マスタデバイス 12 に PCI バス 11 の使用を許可する際には、バス使用許可信号 GNT1 をアサートして、許可する旨をマスタデバイス 12 に通知する。

【0031】バスアービトレーション制御装置 60 も、マスタデバイス 12 から出力されたバス使用権要求信号 REQ1 信号を入力する。このとき、マスタデバイス 12 に対応する REQ イネーブルレジスタ 63 のビットがアサート状態にセットされているので、ゲート回路 65 からの出力信号もアサート状態となる。そして、ゲート回路 68 からの出力信号もアサート状態となり、ゲート回路 69 から出力される 2nd REQ1 信号もアサートされる。この 2nd REQ1 信号は、転送先の PCI バス 21 の側のアービタ 24 に入力される。なお、ブリッジ 30 から出力される Temp REQ1 信号がアサートされたときも、2nd REQ1 信号はアサートされるが、これは、本発明を適用しない通常のアービトレーションを実施する場合があることを考慮したものである。アービタ 24 は、ブリッジ 30 に PCI バス 21 の使用を許可する際には、2nd GNT1 信号をアサートして、許可する旨をブリッジ 30 に通知する。

【0032】以上のように、本実施形態では、アービタ 14 およびアービタ 24 の双方に対して、ほぼ同時にバス使用権要求が出される。ただし、アービタ 14 により GNT1 信号がアサートされるタイミングと、アービタ 24 により 2nd GNT1 信号がアサートされるタイミングとは、必ずしも同時ではなく、一方が他方より早いことがある。

【0033】先にアービタ 14 により GNT1 信号がアサートされた場合には、マスタデバイス 12 は、PCI バス 11 がアイドル状態であることを確認することができ次第、PCI バス 11 を使用する旨を示す FRAME 信号をアサートする。そして、マスタデバイス 12 は、送信先の PCI バス 21 の使用許可が得られていなくても、送信元の PCI バス 11 の使用許可が得られてい

(7)

特開2000-259555

11

12

ば、P C Iバス11を介してブリッジ30内のバッファ部 (posted write buffer) にデータを転送する。このバッファ部がフル状態となる前にアービタ24により2nd GNT1信号がアサートされて、送信先のP C Iバス21の使用許可が得られれば、中断することなく、マスタデバイス12とターゲットデバイス23との間でトランザクションを行うことができる。

【0034】これとは逆に先にアービタ24により2nd GNT1信号がアサートされた場合には、ブリッジ30は、転送元P C Iバス11からデータが送られてくるまでの間、転送先P C Iバス21に対してAD信号、C /BE信号およびPAR信号を適切な値に設定してバスパーキング状態とする。ここで、AD信号は、アドレスまたはデータを示す信号であり、C /BE信号は、バスコマンドを示す信号であり、PAR信号は、P C Iバスを介してアドレスまたはデータが正しく転送されるか否かを確認する為のバスパリティを示す信号である。バスパーキングとは、P C Iバスに接続されている全てのデバイスがトランザクションを実行する必要がないときに、アービタが或る1つのマスタデバイスに対してGNT1信号をアサートしている状態を言う。そして、アービタ14によりGNT1信号がアサートされると、マスタデバイス12は、P C Iバス11がアイドル状態であることを確認することができ次第、P C Iバス11を使用する旨を示すFRAME信号をアサートして、ターゲットデバイス23との間でトランザクションを行うことができる。

【0035】トランザクション実行中、バスアービトレーション制御装置60のカウンタ制御部61は、P C Iバス11に有効な1データフェーズが流れる度に、カウンタ64をカウントダウンさせる。図3は、バスアービトレーション制御装置60のカウンタ64における計数動作を説明するフローチャートである。

【0036】REQイネーブルレジスタ63の所定のビットをセットしようとする、図3に示すシーケンスが開始される。カウンタ制御部61は、REQ1信号がアサートされているか否かを判断し (ステップS10)、GNT1信号がアサートされているか否かを判断し (ステップS11)、DEVSEL信号がアサートされているか否かを判断する (ステップS12)。ここで、DEVSEL信号は、マスタデバイス12によりアクセスを受けたブリッジ30により、そのアクセスに対する応答としてアサートされる信号である。これら3つの信号が全てアサートされたことを確認した後に、次のステップに進む。

【0037】そして、カウンタ制御部61は、IRDY信号、TRDY信号およびDEVSEL信号の全てがアサートされているか否かを判断する (ステップS13)。ここで、IRDY信号は、マスタデバイス12がトランザクション可能な状態であるときにマスタデバイ

ス12によりアサートされる信号である。TRDY信号は、P C Iバス11上のターゲットであるブリッジ30がトランザクション可能な状態であるときにブリッジ30によりアサートされる信号である。

【0038】このステップS13における判断の際に、IRDY信号、TRDY信号およびDEVSEL信号のうち何れかがアサートされていないければ、DEVSEL信号がディアサートされているか否かを判断する (ステップS14)。もし、DEVSEL信号がディアサートされていればステップS10に戻り、DEVSEL信号がアサートされていればステップS13に戻る。

【0039】一方、ステップS13における判断の際に、IRDY信号、TRDY信号およびDEVSEL信号の全てがアサートされていれば、P C Iバス11に有効なデータが流れているので、カウンタ制御部61はカウンタ64をカウントダウンさせる (ステップS15)。そして、カウンタ64による計数値が0であるか否かが判断される (ステップS16)。もし、この計数値が0でなければ、転送されるべきデータが未だ残っていることになるので、ステップS13に戻る。一方、この計数値が0であれば、転送されるべきデータが全て転送されたことになるので、カウンタ64はクリア信号を出力し、このクリア信号を入力したREQイネーブルレジスタ63におけるマスタデバイス12に対応するビットはクリアされる (ステップS17)。

【0040】なお、バスクロックの立ち上がり毎にステップS13の判断および条件分岐が行われるように、ステップS13～S16の処理はバスクロックの1周期内に行われる必要がある。

【0041】ステップS17が終了した時点では、マスタデバイス12からブリッジ30へのデータ転送は終了して、マスタデバイス12からP C Iバス11に送出されるFRAME信号はディアサートされており、転送元のP C Iバス11は解放される。また、ブリッジ30からターゲットバス23へのデータ転送が終了すると、ブリッジ30からP C Iバス21に送出されるFRAME信号はディアサートされ、転送先のP C Iバス21も解放される。さらに、マスタデバイス12から出力されるREQ1信号はディアサートされ、ブリッジ30から出力されるTemp REQ1信号もディアサートされているので、バスアービトレーション制御装置60から出力される2nd REQ1信号もディアサートされる。

【0042】図4は、従来のバスシステムにおける各信号のタイミングおよび本実施形態に係るバスシステムにおける各信号のタイミングそれぞれを示すタイミングチャートである。同図(a)に示す従来の場合のタイミングチャートには、マスタデバイス12から出力されるREQ1信号、アービタ14から出力されるGNT1信号、転送元のP C Iバス11のAD (アドレス/データ) 信号、ブリッジ30から出力される2nd REQ1

信号、アービタ 24 から出力される 2nd GNT1 信号、および、転送先の PCI バス 21 の 2nd AD 信号それぞれが示されている。同図 (b) に示す本実施形態の場合のタイミングチャートには、REQ1 信号、GNT1 信号、転送元の PCI バス 11 の AD 信号、バスアービトレーション制御装置 60 から出力される 2nd REQ1 信号、2nd GNT1 信号、および、転送先の PCI バス 21 の 2nd AD 信号それぞれが示されている。

【0043】同図 (a) に示すように、従来の場合には、マスタデバイス 12 により REQ1 信号がアサートされた後にアービタ 14 により GNT1 信号がアサートされるまでに 1 回目のアービトレーション・レイテンシが生じる。そして、その後に、ブリッジ 30 により 2nd REQ1 信号がアサートされた後にアービタ 24 により 2nd GNT1 信号がアサートされるまでに 2 回目のアービトレーション・レイテンシが生じる。したがって、従来の場合には、これら 2 つのアービトレーション・レイテンシを経た後に、ブリッジ 30 からターゲットデバイス 23 へのデータ転送が開始される。

【0044】一方、同図 (b) に示すように、本実施形態の場合には、マスタデバイス 12 により REQ1 信号がアサートされると略同時に、バスアービトレーション制御装置 60 により 2nd REQ1 信号もアサートされる。したがって、本実施形態の場合には、アービタ 14 により GNT1 信号がアサートされるまでのアービトレーション・レイテンシ、および、アービタ 24 により 2nd GNT1 信号がアサートされるまでのアービトレーション・レイテンシのうちで、より長時間のものを経た後に、ブリッジ 30 からターゲットデバイス 23 へのデータ転送が開始される。すなわち、本実施形態では、実質的に 1 回分のアービトレーション・レイテンシを経た後に、ブリッジ 30 からターゲットデバイス 23 へのデータ転送が開始される。したがって、本実施形態では、マスタデバイス 12 が REQ1 信号をアサートしてからターゲットデバイス 23 へのデータ転送が開始されるまでに要する時間が短縮される。

【0045】また、本実施形態の場合には、従来の場合と比較して 2nd GNT1 信号が早期にアサートされることから、ブリッジ 30 内のバッファ部 (posted write buffer) がフル状態となる前に送信先の PCI バス 21 の使用許可が得られる確率が高くなる。すなわち、ターゲット・ディスコネクトされることなくマスタデバイス 12 とターゲットデバイス 23 との間でトランザクションを開始することができる確率が高くなる。したがって、この点でも、アービトレーション・レイテンシは削減され、トランザクションに要する時間が大幅に短縮される。

【0046】さらに、本実施形態において、マスタデバイス 12 が図 6 に示したような HDD を含むものである

場合を想定し、マスタデバイス 12 が有している FIFO バッファ部の容量が 64 バイトであって、マスタデバイス 12 からターゲットデバイス 23 へ転送すべきデータ量が 16M バイトであるとする。この場合、FIFO バッファ部に 64 バイトのデータが蓄積されると PCI バス 11 の使用権が獲得されて 64 バイト単位のデータ転送が行われ、その後に FIFO バッファ部に次の 64 バイトのデータが蓄積されるまでの間は PCI バス 11 は解放される。このようなバス使用権の獲得と解放とからなる動作が約 26 万回も繰り返し行われる。このような場合、従来技術では約 52 万回のアービトレーション・レイテンシが発生するのに対して、本実施形態では、約 26 万回分に相当するアービトレーション・レイテンシが発生するのみであり、トランザクションに要する時間は従来の場合と比べて大幅に短縮される。

【0047】本発明は、上記実施形態に限定されるものではなく種々の変形が可能である。例えば、アービタ 14 およびアービタ 24 はブリッジ 30 と一体であってもよいし、バスアービトレーション制御装置 60 もブリッジ 30 と一体であってもよい。このようにして、各アービタやバスアービトレーション制御装置 60 それぞれは、その設定等を PCI アドレス空間にマッピングしておくことにより、CPU 50 が PCI バス 11 を介してアクセスすることで設定することができる。

【0048】また、上記実施形態に係るバスアービトレーション制御装置 60 は、PCI バス 11 に接続されたデバイスがマスタとなる場合を考慮したものであるが、PCI バス 21 に接続されたデバイスがマスタとなる場合をも考慮すると、上記のようなバスアービトレーション制御装置を 2 組設けておくのが好適である。

【0049】

【発明の効果】以上、詳細に説明したとおり、本発明によれば、第 1 のバスおよび第 2 のバスそれぞれの側のアービタに対して略同時にバス使用権要求信号が送られる。したがって、実質的に 1 回分のアービトレーション・レイテンシを経た後にマスタデバイスとターゲットデバイスとの間のトランザクションが開始されるので、また、ターゲット・ディスコネクトされることなくトランザクションが開始される確率が高くなるので、トランザクションが開始されるまでに要する時間が短縮される。

【0050】また、マスタデバイスおよびターゲットデバイスの双方または何れか一方がアクセス速度が遅い記憶部を有する場合には、バス使用権の獲得と解放とからなる動作が繰り返し行われるが、このような場合であっても、アービトレーション・レイテンシの発生は最小限に抑えられ、トランザクションに要する時間は短縮される。

【図面の簡単な説明】

【図 1】 本実施形態に係るバスシステムの概略構成を示す図である。

(9)

特開2000-259555

15

16

【図2】 本実施形態に係るバスアービトレーション制御装置の概略構成を示す図である。

【図3】 本実施形態に係るバスアービトレーション制御装置のカウンタにおける計数動作を説明するフローチャートである。

【図4】 従来のバスシステムにおける各信号のタイミングおよび本実施形態に係るバスシステムにおける各信号のタイミングそれぞれを示すタイミングチャートである。

【図5】 ブリッジを介して接続された2つのPCIバスを含むバスシステムの1構成例を示す図である。

【図6】 記憶装置を含むマスタデバイスの構成を示す

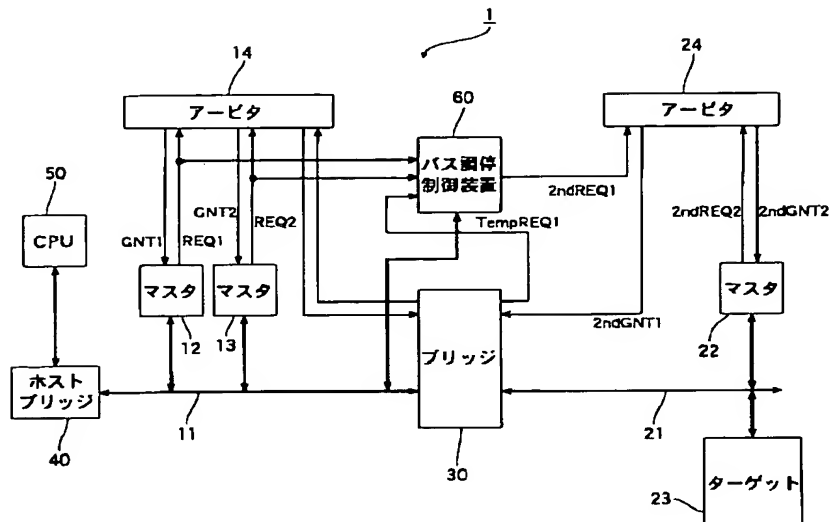
図である。

【図7】 SCSIバスによるデータ読出とPCIバスによるデータ転送との関係を示す図である。

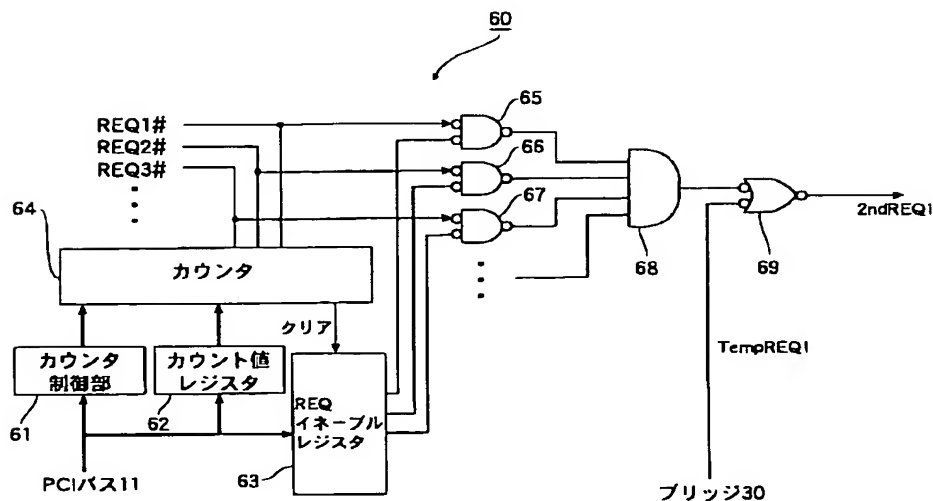
【符号の説明】

1…バスシステム、11…PCIバス、12, 13…マスタデバイス、14…アービタ、21…PCIバス、22…マスタデバイス、23…ターゲットデバイス、24…アービタ、30…ブリッジ、40…ホストブリッジ、50…CPU、60…バスアービトレーション制御装置、61…カウンタ制御部、62…カウント値レジスタ、63…REQイネーブルレジスタ、64…カウンタ、65~69…ゲート回路。

【図1】



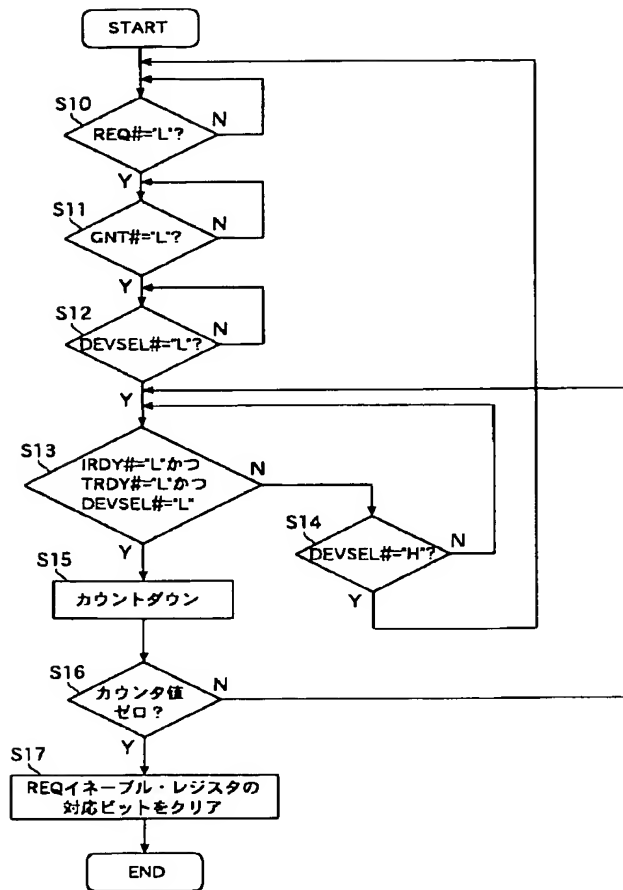
【図2】



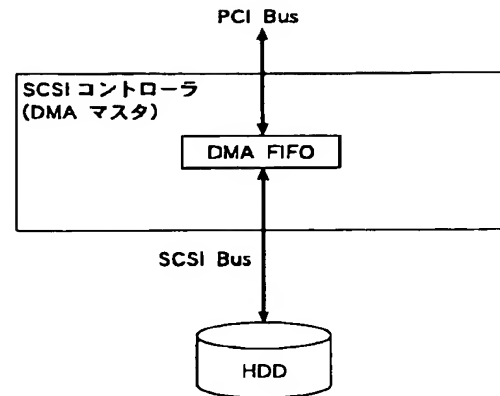
(10)

特開2000-259555

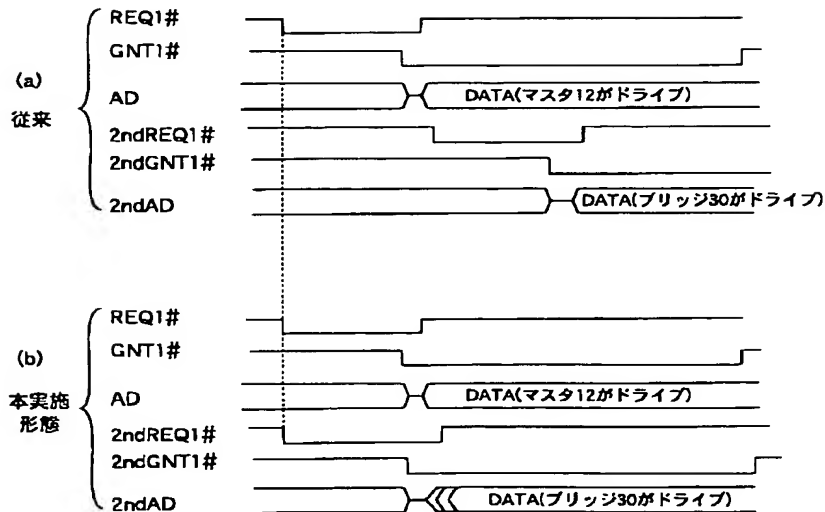
【図3】



【図6】



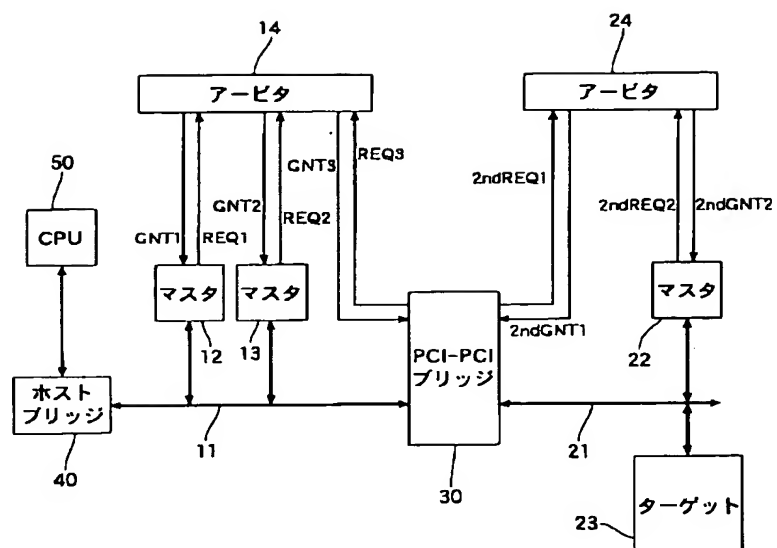
【図4】



(11)

特開2000-259555

【図5】



【図7】

